

Υλοποίηση της 74181 ALU σε VHDL

Μιχαήλ Κωνσταντίνος Δημόπουλος
Τμήμα Μηχανικών Πληροφορικής & Ηλεκτρονικών Συστημάτων, ΔΙΠΑΕ
mk@mcdim.xyz 2020038

Περίληψη--Αυτή η εργασία παρουσιάζει τον σχεδιασμό της Αριθμητικής Λογικής Μονάδας (ALU) 74181 και την υλοποίηση αυτής χρησιμοποιώντας την γλώσσα περιγραφής λογισμικού VHDL ("VHSIC Hardware Description Language"). Στόχος της υλοποίησης είναι η μέγιστη δυνατή πρακτική συμμόρφωση με τις λειτουργικές προδιαγραφές που περιγράφονται στα αρχικά φύλλα δεδομένων της Texas Instruments, και η λειτουργική εξομοίωση της σε σύστημα FPGA.

Index Terms--74181, ALU, VHDL, FPGA

I. Είσαγωγή

Η 74181 είναι μια αριθμητική λογική μονάδα (ALU) 4-bit slice που υλοποιείται ως μέρος των ολοκληρωμένων κυκλωμάτων TTL της σειράς 7400. Παρουσιάστηκε από την Texas Instruments τον Φεβρουάριο του 1970 και ήταν η πρώτη πλήρως ενσωματωμένη ALU διαθέσιμη σε ένα μόνο τσιπ [1]. Η 74181 έγινε θεμελιώδες στοιχείο στο σχεδιασμό πολλών ιστορικά σημαντικών μίνι υπολογιστών και υπολογιστικών συσκευών και ήταν η βασική αριθμητική και λογική μονάδα επεξεργασίας σε πολλές αρχιτεκτονικές CPU της εποχής της.

Αν και δεν χρησιμοποιείται πλέον σε σύγχρονα προϊόντα, η 74181 ήταν ένα σημαντικό βήμα στην εξέλιξη του σχεδιασμού υπολογιστών προς την σύγχρονη υλοποίηση ενσωματωμένων κυκλωμάτων επεξεργαστών, σε αντίθεση με τις μεθόδους υλοποίησης με διακριτές πύλες των προηγούμενων δεκαετιών [2]. Σήμερα, εξακολουθεί να αποτελεί διδακτικό εργαλείο σε μαθήματα αρχιτεκτονικής υπολογιστών και αναφέρεται συχνά σε εγχειρίδια και τεχνικές εργασίες, όπως αυτή.

Η ALU θα υλοποιηθεί σε VHDL με έμφαση στην ακριβή πρακτική αναπαραγωγή της λειτουργικότητας του αρχικού 74181. Όλες οι λειτουργίες και οι σημαίες κατάστασης θα αναπαραχθούν πιστά με βάση τις αρχικές προδιαγραφές. Ο σχεδιασμός θα περιλαμβάνει μια καθαρή, σαφώς καθορισμένη διεπαφή κατάλληλη για άμεση χρήση σε συστήματα FPGA, επιτρέποντας εύκολη ενσωμάτωση με τη λογική ελέγχου και άλλες διατάξεις.

II. Αρχιτεκτονική της 74181

Μια Αριθμητική Λογική Μονάδα (ALU) είναι ένα ψηφιακό κύκλωμα που εκτελεί βασικές αριθμητικές πράξεις και λογικές πράξεις. Είναι βασικό στοιχείο μιας κεντρικής μονάδας επεξεργασίας (CPU). Λαμβάνει δεδομένα εισόδου, τα επεξεργάζεται με βάση τα σήματα ελέγχου και εξάγει το αποτέλεσμα μαζί με προαιρετικά σήματα κατάστασης (όπως carry). [3]

Η 74181 δέχεται [3]:

- Δύο τελεστέους 4-bit A[3:0] και B[3:0]
- Μια είσοδο ελέγχου λειτουργίας 1-bit M μεταξύ αριθμητικής λειτουργίας και λογικής λειτουργίας
- Μια είσοδο επιλογής συνάρτησης 4-bit S[3:0] που επιλέγει μία από τις 16 πράξεις ανάλογα με το M
- Μια είσοδο κρατουμένου (carry-in) 1-bit Cn που χρησιμοποιείται σε αριθμητικές πράξεις

και έχει ως εξόδους [3]:

- Το αποτέλεσμα 4-bit της πράξης F[3:0]
- Μια έξοδο κρατουμένου (out-carry) από το πιο σημαντικό bit 1-bit Cn+4 ή αλλιώς Cout
- Δύο εξόδους υπολογισμού fast carry 1-bit G (carry generate) και 1-bit P (carry propagate)

A'. Αρθρωτή αρχιτεκτονική

Η 74181 καθώς έχει σχεδιαστεί με αρθρωτή αρχιτεκτονική, μπορεί να λειτουργήσει ως ένα 4-bit τμήμα μιας μεγαλύτερης ALU. Πολλαπλά τσιπ 74181 μπορούν να συνδυαστούν για να δημιουργήσουν ευρύτερες μονάδες, με 8-bit, 16-bit, 32-bit κλπ. Αυτό επιτυγχάνεται συνδέοντας την carry-out Cn+4 μιας μονάδας με την carry-in Cn της επόμενης, επιτρέποντας την απρόσκοπτη επέκταση του εύρους bit της ALU διατηρώντας παράλληλα τον ατομικό έλεγχο σε κάθε τμήμα 4-bit. Αυτή η αρχιτεκτονική επιτρέπει στους σχεδιαστές να κλιμακώνουν την ALU σε διαφορετικά μεγέθη ανάλογα με τις απαιτήσεις του υπολογιστικού συστήματος [3].

B'. Γρήγορος υπολογισμός κρατουμένου

Η 74181 διαθέτει ενσωματωμένες δυνατότητες πρόβλεψης κρατουμένου μέσω των εξόδων G και P, που χρησιμοποιούνται όταν πολλά τσιπ 74181 συνδέονται σε σειρά για να σχηματίσουν μια ευρύτερη ALU. Το σήμα "Generate" (G) υποδεικνύει τότε δημιουργείται εσωτερικά ένα carry, ενώ το σήμα "Propagate" (P) δείχνει εάν το carry θα διαδοθεί μέσω της ALU. Χρησιμοποιώντας αυτές τις εξόδους, η ALU μπορεί να μειώσει σημαντικά την καθυστέρηση που προκαλείται από την μεταφορά του κρατουμένου, βελτιώνοντας τη συνολική ταχύτητα των αριθμητικών πράξεων πολλαπλών bit [3].

Η δυνατότητα αυτή είναι προαιρετική και εναλλακτικά μπορεί να χρησιμοποιηθούν κανονικά τα σήματα Cin, Cout για cascading carry.

Γ'. Διαχείριση αρνητικών τιμών

Η 74181 εκ φύσεως λειτουργεί ανεξάρτητα από το πρόσημο των τιμών (sign-agnostic), που σημαίνει ότι εκτελεί λειτουργίες σε δυαδικές εισόδους ανεξάρτητα από το αν οι τιμές αντιπροσωπεύουν αριθμούς με πρόσημο ή χωρίς πρόσημο. Αυτή η ευελιξία προέρχεται από τις καθαρά δυαδικές αριθμητικές και λογικές λειτουργίες της, οι οποίες λειτουργούν με τον ίδιο τρόπο σε όλες τις διατάξεις bit. Όταν χρησιμοποιείται σε συστήματα που ερμηνεύουν δεδομένα σε μορφή συμπληρώματος ως προς το 2, η 74181 μπορεί να εκτελέσει σωστά την προσημασμένη αριθμητική, εφόσον οι εισόδοι και οι έξοδοι ερμηνεύονται με συνέπεια [3].

Δ'. Έλλειψη σημαίων καταστάσεων

Πολλές σύγχρονες ALU, ιδιαίτερα σε πιο προηγμένους επεξεργαστές, περιλαμβάνουν σήματα ή σημαίες κατάστασης (status flags) που πληροφορούν για καταστάσεις όπως υπερχείλιση, αποτέλεσμα ίσον με το μηδέν ή ισότητα των εισόδων, για να παρέχουν άμεση ανατροφοδότηση σχετικά με τα αποτελέσματα των λειτουργιών. Ωστόσο, η ALU 74181 δεν περιλαμβάνει εγγενώς αυτές τις σημαίες κατάστασης. Αντίθετα, εστιάζει στην εκτέλεση των επιθυμητών αριθμητικών και λογικών πράξεων και εξάγει το αποτέλεσμα, με πιο βασικά σήματα εκτέλεσης και δημιουργίας/διάδοσης. Η απουσία ενσωματωμένων σημαίων όμως σημαίνει ότι αυτές πρέπει να υπολογίζονται εξωτερικά χρησιμοποιώντας επιπλέον λογική. Αυτό είναι τυπικό για πολλές παλαιότερες ALU, όπου τα status flags διαχειρίζονταν από εξωτερικά κυκλώματα ή στοιχεία επεξεργαστή αντί να είναι εγγενή στην ίδια την ALU [3].

SELECTION				ACTIVE-HIGH DATA		
				M = H LOGIC FUNCTIONS		M = L: ARITHMETIC OPERATIONS
S3	S2	S1	S0	C _n = H (no carry)	C _n = L (with carry)	
L	L	L	L	F = A	F = A PLUS 1	
L	L	L	H	F = A + B	F = (A + B) PLUS 1	
L	L	H	L	F = A + B̄	F = (A + B̄) PLUS 1	
L	L	H	H	F = 0	F = ZERO	
L	H	L	L	F = A + B̄	F = A PLUS ĀB̄ PLUS 1	
L	H	L	H	F = A + B	F = (A + B) PLUS ĀB̄ PLUS 1	
L	H	H	L	F = A ⊕ B	F = A MINUS B	
L	H	H	H	F = ĀB̄	F = ĀB̄ MINUS 1	
H	L	L	L	F = A + B	F = A PLUS AB PLUS 1	
H	L	L	H	F = A ⊕ B̄	F = A PLUS B PLUS 1	
H	L	H	L	F = B	F = (A + B̄) PLUS AB PLUS 1	
H	L	H	H	F = AB	F = AB MINUS 1	
H	H	L	L	F = 1	F = AB PLUS 1	
H	H	L	H	F = A + B̄	F = (A + B̄) PLUS A PLUS 1	
H	H	H	L	F = A + B	F = (A + B̄) PLUS A PLUS 1	
H	H	H	H	F = A	F = A	

† Each bit is shifted to the next more significant position.

Σχήμα 1. πίνακας αληθείας active-high data [3]

III. Υλοποίηση σε VHDL

Αυτό το μοντέλο VHDL της ALU 74181 καταγράφει τη λειτουργική συμπεριφορά του τσιπ αντί για τη δομή σε επίπεδο πύλης, χρησιμοποιώντας αριθμητικές και λογικές λειτουργίες υψηλού επιπέδου που παρέχονται από τη γλώσσα. Ο στόχος είναι να μοντελοποιηθεί η σωστή συμπεριφορά εισόδου-εξόδου, απλοποιώντας παράλληλα

την εσωτερική λογική και την αποκωδικοποίηση ελέγχου για πρακτική χρήση FPGA.

Α'. Υλοποίηση Συμπεριφοράς (Χωρίς Αντιστοίχιση σε Επίπεδο Πύλης)

Ο σχεδιασμός βασίζεται στους ενσωματωμένους τελεστές της VHDL (π.χ., +, και, xor, not) για την εκτέλεση αριθμητικών και λογικών πράξεων απευθείας στα διανύσματα εισόδου 4-bit A και B. Αυτή η προσέγγιση παρέχει μια συμπαγή και συντηρήσιμη περιγραφή της λειτουργικότητας της ALU, αποφεύγοντας την πολυπλοκότητα της αντιστοίχισης κάθε πύλης από το αρχικό κύκλωμα 74181.

Β'. 2. Συνδυασμένη Είσοδος Ελέγχου (M S → 5 bit)

Αντί να διαχωρίζονται τα bit λειτουργίας (M) και οι γραμμές επιλογής (S3:S0), αυτές συνενώνονται σε μία μόνο είσοδο ελέγχου 5 bit (π.χ., control(4 downto 0)) όπου:

- control(4) = M (mode: 0 = arithmetic, 1 = logic)
- control(3 downto 0) = S3..S0 (function select)

Αυτό απλοποιεί την αποκωδικοποίηση αναπαραστήνοντας και τις 32 πιθανές συναρτήσεις ALU (16 λογική, 16 αριθμητική) ως μοναδικές τιμές.

Γ'. 3. Επιλογή Λειτουργίας με βάση την Περίπτωση

Μια μόνο δομή επιλογής αξιολογεί την είσοδο ελέγχου 5 bit, επιλέγοντας τη σωστή λειτουργία για κάθε περίπτωση. Κάθε μία από τις 32 περιπτώσεις αντιστοιχεί σε μία από τις αρχικές συναρτήσεις 74181 και εκτελεί τη σχετική λειτουργία χρησιμοποιώντας τελεστές VHDL. Αυτή η τεχνική μμείται έναν πίνακα συναρτήσεων τύπου ROM και επιτρέπει την εύκολη αναγνωσιμότητα και τροποποίηση.

Δ'. 4. Λογική Σύμβαση Ενεργού-Υψηλού

Όλα τα σήματα στην υλοποίηση αντιμετωπίζονται ως ενεργού-υψηλού (Active-High convention), που σημαίνει ότι το λογικό υψηλό ('1') ενεργοποιεί ένα σήμα. Αυτό αποφεύγει τη σύγχυση με τις συμβάσεις ενεργού-χαμηλού που χρησιμοποιούνται στο φυσικό τσιπ και απλοποιεί την ενσωμάτωση FPGA, όπου η λογική ενεργού-υψηλού είναι στάνταρ.

Ε'. Απλοποίηση Εισαγωγής Κρατούμενου

Αρχικά, carry in (Cn) θεωρείται υψηλό ('1'), δηλαδή δεν υπάρχει κρατούμενο στην εισαγωγή σύμφωνα με το data sheet. Αυτό ισχύει για όλες τις λειτουργίες, απλοποιώντας έτσι τη λογική. Εάν απαιτείται κρατούμενο, προστίθεται ξεχωριστά στο προσωρινό αποτέλεσμα της λειτουργίας (σε ψευδοκώδικα F <= Ftmp + Cn;), το οποίο προσεγγίζει τον τρόπο με τον οποίο το κρατούμενο μπορεί να αντιμετωπιστεί εξωτερικά σε ορισμένα συστήματα που βασίζονται στην 74181.

Για να υπολογιστεί η εκτέλεση σε μια VHDL ALU 4-bit, η πρόσθεση εκτελείται χρησιμοποιώντας τελεστές 5-bit, απλώς επεκτείνοντας τις εισόδους με ένα μηδέν στην αρχή. Αυτό επιτρέπει στο πέμπτο bit του αποτελέσματος να καταγράψει οποιαδήποτε μεταφορά που θα πραγματοποιηθεί πέρα από το πιο σημαντικό bit (MSB). Τα 4 χαμηλότερα bit αντιστοιχίζονται στην έξοδο της ALU, ενώ το πέμπτο bit χρησιμοποιείται ως σήμα εκτέλεσης για το κρατούμενο εξόδου. Αυτή η μέθοδος είναι απλή, συνθετήσιμη και αποφεύγει την χειροκίνητη παρακολούθηση μεμονωμένων μεταφορών σε επίπεδο bit, καθιστώντας την ιδανική για την εφαρμογή αριθμητικών υπολογισμών σε unsigned αριθμούς στο υλικό.

IV. Πλατφόρμα FPGA

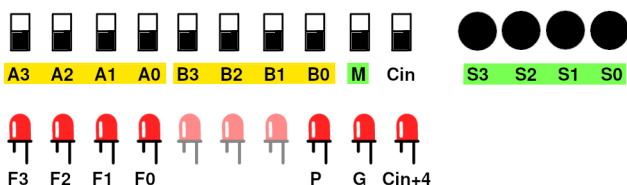
Η πλατφόρμα FPGA που χρησιμοποιήθηκε για την υλοποίηση είναι το DE1-SOC development board, με το Altera Cyclone V τσιπ 5CSEMA5F31C6. Η πλατφόρμα παρέχει 10 φυσικούς διακόπτες, 3 push buttons, 10 κόκκινα LED, καθώς και 6 ενδείκτες 7 τομέων, καθώς και πολλές εξόδους και εισόδους σε μορφή pin. [4]

A'. Διεπαφή

Για τις εισόδους A, χρησιμοποιήθηκαν οι διακόπτες από SW9 έως SW6. Για τις εισόδους B, οι SW5 έως SW2, και οι δύο υπόλοιποι διακόπτες SW1 & SW0 για τις εισόδους M και Cin αντίστοιχα.

Τα 4 μπουτόν KEY3 έως KEY0 χρησιμοποιήθηκαν για τις εισόδους επιλογής συνάρτησης S3, S2, S1 και S0.

Για τις εξόδους, χρησιμοποιήθηκαν οι δίοδοι LEDR9 έως LEDR6 για το 4-bit αποτέλεσμα F, για το Cin+4 η δίοδος LEDR0, και για τις εξόδους γρήγορου κρατουμένου P & G, οι LEDR2 και LEDR1 αντίστοιχα.



Σχήμα 2. η διεπαφή

Η χρήση ενδείξεων επτά τομέων εξετάστηκε, αλλά απορρίφθηκε, καθώς η απεικόνιση σε δεκαδικό ή δεκαεξαδικό σύστημα θεωρήθηκε ότι αλλοιώνει τη σημασιολογική ουδετερότητα των εξόδων. Η τιμή της F δεν αντιστοιχεί ούτε σε λογική κατάσταση ούτε σε αριθμητική τιμή, αλλά απλώς σε έναν αυθαίρετο συνδυασμό bits, όπως υποδηλώνει και η ανάμιξη λογικών και αριθμητικών πράξεων στον πίνακα αληθείας. Εξαιτίας αυτού σε συνδυασμό με τον περιορισμένο διαθέσιμο χρόνο, η επιλογή κρίθηκε μη αναγκαία.

Η υλοποίηση της ALU 74181 πραγματοποιήθηκε σε VHDL με χρήση των υψηλού-επιπέδου χαρακτηριστικών της γλώσσας, αντί για μοντελοποίηση σε επίπεδο πυλών. Η προσέγγιση αυτή επικεντρώνεται στην περιγραφή της επιθυμητής λειτουργικότητας μέσω δομών όπως σήματα, επιλογής κλπ, δηλαδή χρησιμοποιήθηκε abstraction. Το αποτέλεσμα είναι ευανάγνωστη και οργανωμένη αναπαράσταση της συμπεριφοράς της ALU, η οποία διευκολύνει την κατανόηση, τον έλεγχο και την τροποποίηση του σχεδίου. Αν και δεν αντικατοπτρίζει την εσωτερική δομή του αρχικού κυκλώματος, συμβαδίζει με τις σύγχρονες σχεδιαστικές πρακτικές που δίνουν προτεραιότητα στην αναγνωσιμότητα και την επαναχρησιμοποίηση αντί της χαμηλού-επιπέδου ακρίβειας.

Αναφορές

- [1] D. P. Sieworek, C. G. Bell, and A. Newell, *Chapter 6: Structure*. McGraw-Hill, Jan. 1982.
- [2] D. M. Dahle, J. D. Hirschberg, K. Karplus, H. Keller, E. Rice, D. Speck, D. H. Williams, and R. Hughey, "Kestrel: Design of an 8-bit simd parallel processor," in *Proceedings of the 17th Conference on Advanced Research in VLSI*, Sep. 1997. [Online]. Available: <https://users.soe.ucsc.edu/~karplus/papers/kestrel-vlsi-1997.pdf>
- [3] *SN54LS181, SN74LS181 Arithmetic Logic Unit*, Texas Instruments, Jun. 1987, datasheet. [Online]. Available: <https://www.ti.com/lit/ds/symlink/sn54ls181.pdf>
- [4] *DE1-SoC User Manual*, Terasic Technologies Inc., 2014. [Online]. Available: http://www.ee.ic.ac.uk/teaching/ee2_digital